

JC979 U.S. PTO  
10/045237  
10/23/01

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

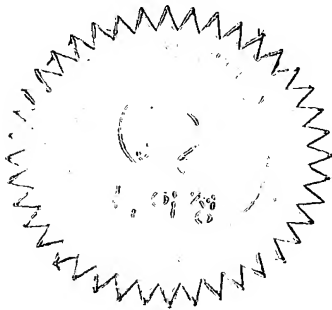
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 62258 호  
Application Number

출원년월일 : 2000년 10월 23일  
Date of Application

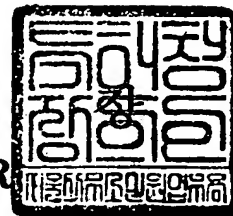
출원인 : 삼성전자 주식회사  
Applicant(s)



2001      01      22  
년      월      일

특      허      청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000. 10. 23
【국제특허분류】	G11C
【발명의 명칭】	고주파 특성과 수율 향상을 위한 지연동기회로
【발명의 영문명칭】	Delay locked loop improving high frequency characteristics and yield
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	김종선
【성명의 영문표기】	KIM, Jong Sun
【주민등록번호】	680703-1074422
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 80-10
【국적】	KR
【심사청구】	청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

이래호 (인)

**【수수료】**

**【기본출원료】** 20 면 29,000 원

**【가산출원료】** 16 면 16,000 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 30 항 1,069,000 원

**【합계】** 1,114,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 고주파 특성과 수율 향상을 위한 지연동기회로에 대하여 기술된다. 지연 동기회로는 외부클럭신호에 동기되는 내부클럭신호를 발생하는 데, 제1 증폭기, 제1 듀티 정정부, 기준클럭 발생부, 제1 믹서부, 제2 믹서부, 제2 증폭기, 제3 증폭기, 클럭버퍼부, 제2 듀티정정부, 제3 듀티정정부, 출력복사부, 위상검출기 및 디지털-아날로그 변환기를 구비한다. 제1 내지 제3 증폭기는 외부클럭신호의 스윙폭을 내부적으로 전력소모가 작은 스윙폭으로 변환하고 이를 다시 외부 신호레벨로 변환시킨다. 기준클럭 발생부는 수신되는 외부클럭신호로부터 소정의 위상차를 갖는 다수개의 기준클럭신호들을 만드는 데,  $360^\circ$  에서 소정의 위상차를 나눈 값에 해당하는 개수의 기준클럭신호를 만든다. 제1 내지 제3 듀티정정부는 각각 외부클럭신호, 제1 내부클럭신호 및 제2 내부클럭신호의 듀티를 50% 만족하도록 정정한다. 제1 및 제2 믹서부는 기준클럭신호들을 수신하여 제1 클럭신호를 발생하고 이와 정확히  $90^\circ$  위상차를 갖는 제2 클럭신호를 발생하여, 제1 내부클럭신호와 제2 내부클럭신호의 위상차가  $90^\circ$  되게 한다. 그리하여 외부클럭신호에 동기되는 제1 내부클럭신호가 만들어진다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

고주파 특성과 수율 향상을 위한 지연동기회로{Delay locked loop improving high frequency characteristics and yield}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 지연동기회로(DLL)를 나타내는 도면이다.

도 2는 본 발명의 제1 실시예에 따른 지연동기회로를 나타내는 도면이다.

도 3은 도 2의 클럭버퍼부 내 버퍼들의 종류를 나타내는 도면이다.

도 4는 도 2의 듀티정정부의 동작 개념을 나타내는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 지연동기회로를 나타내는 도면이다.

도 6은 도 5의 제1 믹서부, 제2 믹서부 및 디지털-아날로그 변환기를 나타내는 도면이다.

도 7은 도 5의 기준클럭신호들의 타이밍 다이어그램을 나타내는 도면이다.

도 8은 도 7의 기준클럭신호들의 위상 분포를 나타내는 도면이다.

도 9는 도 5의 제1 믹서부 및 제2 믹서부 내의 제1 위상믹스부와 제2 위상믹스부를 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 집적회로에 관한 것으로서, 특히 고주파 특성과 수율 향상을 위한 지연동기회로에 관한 것이다.
- <12> 최근, 마이크로프로세서의 동작속도는 1GHz의 벽을 넘어설 정도로 고속동작을 하고 있다. 이에 따라 시스템 성능 향상을 위한 시스템 버스 클럭과 메모리 장치의 고속동작이 필수적으로 요구되고 있다. 메모리 장치에는 동기식 디램(Synchronous DRAM: 이하 'SDRAM'이라 칭함)이나 램버스 디램(RAMBUS DRAM: 이하 'RDRAM'이라 칭함)과 같은 초고속 제품들이 사용되고 있다.
- <13> SDRAM과 RDRAM은 클럭신호에 동기되어 메모리셀로 데이터를 입력하거나 메모리셀 데이터를 유효 데이터 구간(valid data window)으로 출력한다. 클럭신호는 하나의 핀으로 입력되어 디바이스(device) 전체에 분배되는 데, 입력 핀으로부터 비교적 멀리 떨어진 부분에 도달하는 클럭신호는 입력 핀에 바로 인접한 부분의 클럭신호에 대하여 상당히 지연될 수 있다. 이러한 지연은 SDRAM 및 RDRAM 내부의 각부분 사이의 동기를 유지하는 것을 어렵게 한다. 이러한 동기를 유지하기 위한 하나의 방법으로 지연동기회로(Delay Locked Loop: 이하 'DLL'이라 칭함)를 사용하는 데, DLL은 수신되는 외부클럭신호와 위상 동기되는 내부클럭신호를 발생시킨다. 그리하여, 내부클럭신호에 의하여 내부회로 블록들이 동기되어 동작되며, 특히, 내부클럭신호의 에지에 맞추어 출력 데이터의 유효 데이터 윈도우의 중앙이 놓이도록 동작된다.

- <14> 도 1은 종래의 DLL(100) 구조를 나타내는 도면이다. DLL(100)은 외부클럭신호(EXT\_CLK)를 수신하여 이에 동기되는 제1 내부클럭신호들(TCLK, TCLK90)을 발생시키는 데, 제1 증폭기(101), 제1 듀티정정부(102), 기준클럭 발생부(103), 믹서부(104), 90° 쉬프트 블락(105), 제2 증폭부(106), 제3 증폭부(107), 클럭버퍼부(108), 버퍼(109), 제2 듀티정정부(110), 출력복사부(111), 위상검출기(112) 및 디지털-아날로그 변환기(113)를 포함한다.
- <15> 제1 증폭기(101)는 외부클럭신호(EXT\_CLK)를 수신하여 작은 스윙폭(small swing)의 클럭신호(SS\_CLK)를 발생한다. 통상적으로 외부클럭신호(EXT\_CLK)는 TTL(Transistor-Transistor-Logic) 레벨로 입력되는 관계로 인하여 그 스윙폭이 0~ VDD 정도로 크다. 이에 대하여 RDRAM은 외부클럭신호(EXT\_CLK)의 스윙폭을 400mV ~ 800mV 정도로 작게 하여 클럭신호(SS\_CLK)를 발생시킨다. 그리하여, RDRAM의 전력소모를 줄인다. 이 때 발생하는 클럭신호(SS\_CLK)는 제1 증폭기(101)의 동작 결과로 50% 듀티(duty)가 틀어질 수 있으므로, 제1 듀티정정부(102)를 통해 틀어진 듀티를 보상하여 제1 증폭기(101)로 궤환(feedback)시킨다. 그리고, 클럭신호(SS\_CLK)는 서로 상보적인 레벨을 갖는 쌍으로 발생된다.
- <16> 기준클럭 발생부(103)는 작은 스윙폭의 클럭신호(SS\_CLK)를 수신하여 이로부터 위상이 각각 45° 씩 쉬프트된 8개의 기준클럭신호들(REF\_CLK)을 발생시킨다. 믹서부(104)는 디지털-아날로그 변환기(113)의 출력에 응답하여 선택되는 2개의 기준클럭신호(REF\_CLK)를 믹싱하여 제1 클럭신호(M\_CLK)를 발생시킨다. 90° 쉬프트 블락(105)은 제1 클럭신호(M\_CLK)를 수신하여 위상이 90° 다른 두 개의 클럭신호들(CLK0, CLK90)을 발생시킨다. 클럭신호 CLK0는 제1 클럭신호(M\_CLK)와 거의 동일한 위상을 가지므로 제1 클럭신

호라고 칭한다. 제2 클럭신호 CLK90은 제1 클럭신호(CLK0)와 비교하여  $90^\circ$  위상 차이를 갖는다.  $90^\circ$  쉬프트 블록(105)은 일반적으로 다수개의 지연소자들

(105a, 105b, 105c, 105d)이 직렬로 연결되는 구조로서, 오픈 루프(open loop)로 구성된다.

<17> 제1 클럭신호(CLK0)와 제2 클럭신호(CLK90)는 각각 제2 증폭기(106)와 제3 증폭기(107)로 입력되어 작은 스윙폭, 즉 400mV ~ 800mV를 CMOS 스윙폭, 즉 0 ~ VDD로 증폭시킨다. CMOS 스윙폭으로 증폭된 제1 클럭신호(CLK0) 및 제2 클럭신호(CLK90)는 클럭버퍼부(108)로 제공된다. 클럭버퍼부(108)는 제1 내부클럭신호(TCLK)가 구동하게 될 부하들을 고려해서 이들을 구동하기 위한 드라이버들(108a, 108b)을 포함한다. 제1 클럭신호(CLK0)는 클럭버퍼부(108) 및 버퍼(109)를 통하여 제1 내부클럭신호(TCLK)로 발생되고, 제2 클럭신호(CLK90)는 클럭버퍼부(108)를 통해 제2 내부클럭신호(TCLK90)로 발생된다. 제1 내부클럭신호(TCLK)와 제2 내부클럭신호(TCLK90)는 서로  $90^\circ$  위상차를 가지고 CMOS 레벨로 발생된다.

<18> 제2 내부클럭신호(TCLK90)는 제2 듀티정정부(110)로 입력되어 제1 내부클럭신호(TCLK) 및 제2 내부클럭신호(TCLK90)가 50% 듀티를 갖도록 정정되어 제2 증폭기(106) 및 제3 증폭기(107)로 궤환된다. 또한, 제2 내부클럭신호(TCLK90)는 출력복사부(111)로 입력되는 데, 출력복사부(111)는 제1 내부클럭신호(TCLK) 경로가 갖는 부하를 반영한다. 그리하여, 출력복사부(111)의 출력신호 에지(edge)는 제1 내부클럭신호(TCLK) 에지와 실제적으로 거의 동일하게 된다.

<19> 출력복사부(111)의 출력과 외부클럭신호(EXT\_CLK)는 위상검출기(112)로 제공되어 그들간의 위상을 비교검출하게 된다. 이 때, 위상검출기(112)는 실제적으로 제1 내부클럭신호(TCLK) 에지와 외부클럭신호(EXT\_CLK) 에지의 위상차이를 비교하게 되는 것이다.



위상검출기(112)의 동작 결과는 디지털 아날로그 변환기(113)로 입력되어 디지털 아날로그 변환기(113)의 출력신호로서 코딩정보를 발생하는 데, 코딩정보는 믹서부(104)로 제공되어 기준 클럭신호(REF\_CLK)를 선택적으로 조합하게 된다. 따라서, 제1 클럭신호인 M\_CLK, CLK0의 위상은 외부클럭신호(EXT\_CLK)의 위상과 동기되며, 이에 따른 최종 결과인 제1 내부클럭신호(TCLK)의 위상도 외부클럭신호(EXT\_CLK) 위상에 동기된다. 제1 내부클럭신호(TCLK)에 동기되어 동작되는 내부회로 블록들은 외부클럭신호(EXT\_CLK)에 동기되어 동작되는 것과 거의 같다.

<20> 그런데, 제1 내부클럭신호(TCLK)가 외부클럭신호(EXT\_CLK)와 동기되는 것에 만족된다 할지라도, 제1 내부클럭신호(TCLK)는 듀티 에러(duty error)를 갖게 된다. 즉, 일반적으로 클럭신호들은 듀티 50%를 갖도록 설정되는 것이 이상적인 데, 종래의 DLL(100)에 의하여 발생하는 제1 내부클럭신호(TCLK)는 50% 듀티를 갖지 못한다는 것이다. 이러한 듀티 에러는 90° 쉬프트 블록(105)에서 발생하는 제1 클럭신호(CLK0)와 제2 클럭신호(CLK90) 사이의 스큐(skew)에 의해서, 제1 증폭기(106) 및 제2 증폭기(107) 사이의 DC 오프셋 차이에 의해서, 그리고 클럭버퍼부(108) 내 제1 내부클럭신호(TCLK)를 만드는 경로와 제2 클럭신호(TCLK90)를 만드는 경로 사이의 이득(gain) 차이, 팬-아웃(fan-out) 차이 및 기생부하 차이에 의해서 발생된다. 특히, 90° 쉬프트 블록(105)은 오픈 루프로 구성되기 때문에, 온도 변화나 전원전압 변화에 대하여 제1 클럭신호(CLK0)와 제2 클럭신호(CLK90) 사이의 스큐(skew)를 더욱 크게 하는 문제점을 내포한다.

<21> 이러한 제1 내부클럭신호(TCLK)의 듀티 에러를 정정하기 위하여 제2 듀티정정부(110)를 두지만, 제2 듀티정정부(110)는 제1 내부클럭신호(TCLK)와 제2 내부클럭신호(TCLK90) 둘다의 듀티를 정정하기 위해서는 적합하지 못하다. 왜냐하면, 예를 들어, 제1

내부클럭신호(TCLK) 듀티가 48%이고 제2 내부클럭신호(TCLK90)의 듀티가 52%라고 하자. 그러면, 제2 내부클럭신호(TCLK90)의 듀티 50%를 맞추기 위하여 제2 듀티정정부(110)는 -2% 정도로 제2 내부클럭신호(TCLK90)의 듀티를 줄이게 된다. 이렇게 되면, 제1 내부클럭신호(TCLK)는 48% 듀티에서 46%듀티로 되어 그 듀티 에러가 더 커지게 되므로 실제적으로 제1 내부클럭신호(TCLK) 및 제2 내부클럭신호(TCLK90) 둘다의 듀티를 정정하기에는 적당하지 않다.

<22> 특히, 제1 내부클럭신호(TCLK)의 듀티 에러는 제1 내부클럭신호(TCLK) 에지에 센터링된 데이터 터미널(DQ) 출력 시간(tQ: external clock to DQ output time) 마진 부족을 초래한다. 그리하여, RDRAM의 수율을 떨어뜨리게 된다. 따라서, 내부클럭신호(TCLK) 위상을 외부클럭신호(EXT\_CLK) 위상에 동기시키면서도 그 듀티를 50%로 유지할 수 있는 지연동기회로가 불가피하게 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<23> 본 발명의 목적은 내부클럭신호의 위상을 외부클럭신호의 위상에 동기시키면서 그 듀티를 50%로 유지할 수 있는 지연동기회로를 제공하는 것이다.

**【발명의 구성 및 작용】**

<24> 상기 목적을 달성하기 위하여 본 발명은 외부클럭신호에 동기되는 내부클럭신호를 발생하는 지연동기회로에 있어서, 외부클럭신호를 수신하여 작은 스윙폭의 클럭신호로 변환하는 제1 증폭기와, 상기 작은 스윙폭 클럭신호의 듀티를 정정하여 상기 제1 증폭기로 재환하는 제1 듀티정정부를 포함한다. 그리고, 지연동기회로는 상기 작은 스윙폭 클럭신호를 수신하여 이로부터 소정의 위상이 쉬프트된 다수개의 기준클럭신호들을 발생시

키는 기준클럭 발생부와, 상기 기준클럭신호들을 수신하여 제1 클럭신호를 발생하는 제1 믹서부와, 상기 기준클럭신호들을 수신하여 상기 제1 클럭신호에 대하여  $90^\circ$  위상차를 갖는 제2 클럭신호를 발생하는 제2 믹서부를 포함한다.

<25> 또한, 지연동기회로는 상기 제1 클럭신호가 갖는 상기 작은 스윙폭을 CMOS 스윙폭으로 증폭하는 제2 증폭기와, 상기 제2 클럭신호가 갖는 상기 작은 스윙폭을 CMOS 스윙폭으로 증폭하는 제3 증폭기와, 상기 제2 증폭기의 출력을 수신하여 제1 내부클럭신호를 발생하고 상기 제3 증폭기의 출력을 수신하여 제2 내부클럭신호를 발생하는 클럭버퍼부를 더 포함한다. 지연동기회로는 상기 제1 내부클럭신호의 듀티를 정정하여 상기 제2 증폭기로 제환하는 제2 듀티정정부와, 상기 제2 내부클럭신호의 듀티를 정정하여 상기 제3 증폭기로 제환하는 제3 듀티정정부와, 상기 제1 내부클럭신호의 출력부를 고려하여 상기 제2 내부클럭신호에 반영하는 출력복사부와, 상기 외부클럭신호의 위상과 상기 제2 내부클럭신호의 위상을 비교 검출하는 위상검출기와, 상기 위상검출기의 출력에 응답하여 상기 제1 믹스부 및 상기 제2 믹스부에서 각각 발생하는 상기 제1 클럭신호와 상기 제2 클럭신호의 위상 범위를 제어하는 디지털-아날로그 변환기를 포함한다.

<26> 바람직하기로, 상기 기준클럭 발생부는 상기 외부클럭신호로부터  $45^\circ$ 씩 쉬프된 8개의 상기 기준클럭신호들을 발생하여, 상기 제1 및 제2 클럭신호의 위상범위는 8개의 옥탄트로 구성되는 위상범위가 된다. 한편, 상기 기준클럭 발생부는  $360^\circ$  위상에서 상기 소정의 위상을 나눈 값에 해당하는 개수의 상기 기준클럭신호들을 발생한다.

<27> 상기 제1 및 제2 믹서부는 상기 디지털-아날로그 변환기의 출력에 응답하여 선택신호들을 발생하는 선택부와, 상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제1 클럭신호의 위상 범위로 정하는 제1 위상믹스부와, 상기 선택신

호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제2 클럭신호의 위상 범위로 정하는 제2 위상믹스부를 포함한다. 상기 제1 및 제2 위상믹스부 각각은 상기 기준클럭신호와 그 반전신호를 쌍으로 입력으로 하고 상기 선택신호에 의하여 인에이블되는 차동증폭기들로 구성된다.

<28>       상기 제1 및 제2 듀티정정부들은 상기 제1 클럭신호 및 상기 제2 클럭신호의 듀티를 각각 50%로 유지시킨다. 상기 클럭버퍼부는 상기 제1 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제2 듀티정정부와 연결되는 제1 경로와, 상기 제1 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제1 내부클럭신호로 발생하는 제2 경로와, 상기 제2 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제2 내부클럭신호로 발생하는 제3 경로와, 상기 제2 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제3 듀티정정부와 연결되는 제4 경로를 포함한다.

<29>       이와 같은 본 발명의 지연동기회로에 의하면, 듀티정정부들에 의해 제1 내부클럭신호와 제2 내부클럭신호의 듀티를 각각 정정하여 듀티 50%를 만족시킨다. 그리고, 제1 믹서부와 제2 믹서부에 의하여 제1 내부클럭신호와 제2 내부클럭신호의 위상차가 정확히  $90^\circ$ 가 되게 한다. 그리하여 외부클럭신호에 동기되는 제1 내부클럭신호가 만들어진다:

<30>       이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<31>       도 2는 본 발명의 제1 실시예에 따른 지연동기회로(200)를 나타내는 도면이다. 지

연동기회로(200)는 도 1의 지연동기회로(100)의 구성요소에다가 제1 내부클럭신호(TCLK)의 듀티 정정을 위한 듀티정정부(210')를 더 구비하고 클럭버퍼부(208) 내 드라이버들의 구성이 다르다는 점에서 도 1의 지연동기회로(100)와 차이가 있다.

<32> 클럭버퍼부(208)는 제2 증폭기(206)의 출력을 수신하는 제1 버퍼(208a)와 제3 증폭기(207)의 출력을 수신하는 제2 버퍼(208b)를 포함한다. 제1 버퍼(208a)의 출력은 다수개의 인버터 체인으로 구성되는 제1 경로(208\_1)와 제2 경로(208\_2)로 분기되고, 제2 버퍼(208b)의 출력은 다수개의 인버터 체인으로 구성되는 제3 경로(208\_3) 및 제4 경로(208\_4)로 분기된다. 제1 내지 제4 경로(208\_1,208\_2,208\_3,208\_4)는 이른바 멀티 스테이지 버퍼(multi stage buffer)로 구성된다.

<33> 제1 버퍼(208a) 및 제2 버퍼(208b)는 도 3(a)에 도시된 바와 같이 인에이블 신호쌍(EN,ENB)에 응답하는 스택트(stacked) 인버터로 구성된다. 인에이블 신호쌍(EN,ENB)은 지연동기회로(200)의 동작을 활성화시키는 신호이다. 제1 버퍼(208a)의 출력은 제1 및 제2 경로(208\_1,208\_2)의 첫 번째 스택트 인버터들에 연결되고, 제2 버퍼(208b)의 출력은 제3 및 제4 경로(208\_3,208\_4)의 첫 번째 스택트 인버터들에 연결된다. 그리하여, 제1 버퍼(208a)의 출력과 제2 버퍼(208b)의 출력은 동일한 부하를 바라보게 된다.

<34> 클럭신호(MTCLK0)와 제2 내부클럭신호(TCLK90)에는 클럭버퍼부(208) 내 제1 내지 제3 경로(208\_1,208\_2,208\_3)의 클럭 트리(clock tree)구조에서 공정변화, 온도변화, 설계 부정합(design mismatch) 등으로 인한 팬-아웃(fan-out) 부정합 때문에 듀티 에러가 발생한다. 즉, 팬-아웃 부정합은 클럭신호의 듀티 비율(duty ratio) 50%를 유지하기 힘들게 하기 때문이다. 그러므로, 제2 듀티정정부(210')는 클럭버퍼부(208)의 제1 경로

(208\_1)를 통과한 클럭신호(MTCLK0)의 듀티를 정정하여 제2 증폭기(206)로 제환한다. 이와 아울러, 제3 듀티정정부(210)는 제3 경로(208\_3)를 통과한 제2 내부클럭신호(TCLK90)의 듀티를 정정하여 제3 증폭기(207)로 제환한다.

<35> 제1 내지 제3 듀티정정부(102,210',210)는 수신되는 클럭신호들의 듀티 차이에 따라 도 4에 도시된 바와 같이 듀티를 정정하게 된다. 예를 들어, 수신되는 클럭신호(CLK)의 듀티가 55:45(하이레벨:로우레벨)라고 하자. 그러면, 전원전압을 2.5V라고 할 때 듀티정정신호(DCC)는 1.2V로 초기화 된 값에서 변화된다. 즉, 클럭신호 CLK의 55 하이레벨에 의하여 듀티정정신호(DCC)는 1.2V에서 소정의 전압레벨,  $\alpha$ , 만큼 떨어진다. 클럭신호 CLKB의 55 로우레벨에 의하여 듀티정정신호(DCC)는 1.2V에서 소정의 전압레벨,  $\beta$ , 만큼 높아진다. 그리하여, 듀티정정신호(DCC)는 초기 전압레벨 1.2V에서 그 변화되는 전압값에 따라 클럭 신호의 듀티 정정 정도를 정하게 된다.

<36> 따라서, 본 실시예의 지연동기회로는 제2 및 제3 듀티정정부(210',210)을 두어 제1 내부클럭신호(TCLK)와 제2 내부클럭신호(TCLK90)의 듀티를 같이 정정하게 된다. 이에 따라 제1 내부클럭신호(TCLK)와 제2 내부클럭신호(TCLK90)는 듀티 50%를 만족하는 신호들이 된다.

<37> 도 5는 본 발명의 제2 실시예에 따른 지연동기회로(400)를 나타내는 도면이다. 지연동기회로(400)는 제1 증폭기(401), 제1 듀티정정부(402), 기준클럭 발생부(403), 제1 믹서부(404), 제2 믹서부(405), 제2 증폭부(406), 제3 증폭부(407), 클럭버퍼부(408), 버퍼부(409), 제2 듀티정정부(410), 제3 듀티정정부(411), 출력복사부(412), 위상검출기(413) 및 디지털-아날로그 변환기(414)를 포함한다.

<38> 지연동기회로(400)는 제1 믹서부(404)와 제2 믹서부(405) 이외의 나머지 구성요소

들은 도 2의 지연동기회로(200)와 거의 동일하다. 설명의 중복을 피하기 위하여 본 실시예에서는 나머지 구성요소들 즉, 제1 증폭기(401), 제1 듀티정정부(402), 기준클럭 발생부(403), 제2 증폭부(406), 제3 증폭부(407), 클럭버퍼부(408), 버퍼부(409), 제2 듀티정정부(410), 제3 듀티정정부(411), 출력복사부(412), 위상검출기(413) 및 디지털-아날로그 변환기(414)의 구체적인 설명은 생략한다.

<39> 제1 믹서부(404)와 제2 믹서부(405)는 디지털-아날로그 변환기(414)와 함께 도 6에 구체적으로 도시되어 있다. 디지털-아날로그 변환기(414)는 앞서 설명한 위상검출기(413)의 출력에 응답하여 그 내부적으로 제어 신호들(CTRL, Ieven, Iodd)을 발생시켜 제1 믹서부(404)와 제2 믹서부(405)로 제공한다. 제1 믹서부(404) 및 제2 믹서부(405)는 제1 위상믹스부(501), 제2 위상믹스부(502), 선택부(503), 위상믹서부(504) 및 위상버퍼부(505)로 구성된다.

<40> 선택부(503)는 디지털-아날로그 변환기(414)의 제1 제어신호(CTRL)에 응답하여 제1 내지 제4 선택신호쌍(S1, S1B, S2, S2B, S3, S3B, S4, S4B)을 선택적으로 발생시킨다. 제1 위상믹스부(501)는 제1 내지 제4 선택신호들(S1, S1B, S2, S2B, S3, S3B, S4, S4B)에 응답하여 8개의 기준클럭신호(REFCLK)의 위상을 조합한다. 8개의 기준클럭신호들(REFCLK)은 도 7에 도시된 바와 같이 소정의 위상차, 예컨대 45° 위상차를 갖게 된다. 그리하여, 기준클럭신호들(REFCLK)의 위상 분포를 위상신호들(K1, K1B, K2, K2B, K3, K3B, K4, K4B)로 나타낸다..

<41> 위상신호들(K1, K1B, K2, K2B, K3, K3B, K4, K4B)의 위상분포를 옥탄트 다이어그램(Octant Diagram)으로 다시 나타내면 도 8과 같다. 이를 참조하면, K1 위상신호와 K1B 위상신호는 180° 위상차를 갖는다. 이와 같은 방법으로, K2 위상신호와 K2B 위상신호, K3 위상신호와 K3B 위상신호, 그리고, K4 위상신호와 K4B 위

상신호 각각은 서로  $180^\circ$  위상차를 갖는다. 한편, K1 위상신호와 K4B 위상신호 사이의 위상범위를 제1 옥탄트(OCT1)라고 설정하고, K1 위상신호와 K2 위상신호 사이의 위상범위는 제2 옥탄트(OCT2)로 설정한다. 이와 같은 방법으로, K2 위상신호와 K4B 위상신호 사이의 위상범위는 각각 제3 옥탄트(OCT3) 내지 제8 옥탄트(OCT8)로 설정된다.

<42> 설정된 제1 옥탄트(OCT1) 내지 제8 옥탄트(OCT8)는 제 5도의 제1 믹서부(404) 및 제2 믹서부(405)에 의해 발생될 제1 클럭신호(CLK0) 및 제2 클럭신호(CLK90)의 위상범위가 된다. 즉, 제1 믹서부(404)에서 발생된 제1 클럭신호쌍(CLK0,CLK0B)의 위상범위와 제2 믹서부(405)에서 발생된 제2 클럭신호쌍(CLK90,CLK90B)의 위상범위의 차이가  $90^\circ$ 가 되도록 한다.

<43> 예를 들어, 제1 클럭신호(CLK0)의 위상범위가 제2 옥탄트(OCT2)에 있다면 제2 클럭신호(CLK90)의 위상범위는 제8 옥탄트(OCT8)에 있게 된다. 제2 옥탄트(OCT2)에 제1 클럭신호(CLK0)가 존재한다는 것은 K1 위상신호와 K2 위상신호 사이에 제1 클럭신호(CLK0)가 있다는 것이고, 제8 옥탄트(OCT8)에 제2 클럭신호(CLK90)가 있다는 것은 K4B 위상신호와 K3B 위상신호 사이에 제2 클럭신호(CLK90)가 있다는 것을 의미한다.

<44> 도 9는 제1 믹서부(404) 및 제2 믹서부(405) 내의 제1 위상믹스부(501)과 제2 위상믹스부(502)를 나타내는 도면이다. 제1 및 제2 위상믹스부(501,502) 각각은 위상신호들을 쌍으로 입력으로 하고 선택신호에 의하여 인에이블되는 차동증폭기들로 구성된다. 도 9의 위상믹스부를 제1 믹서부(404)의 제1 위상믹스부(501)이라



고 하면, 입력신호들 InA, InAb, InB, InBb는 각각 K2, K2B, K4, K4B가 되고, 선택신호들 (SelA, SelAb, SelB, SelBb)은 선택부(503, 도 6)에서 발생하는 선택신호들(S1, S1B, S2, S2B)이다. 그리고, 도 8의 위상믹스부를 제1 믹서부(404)의 제2 위상믹스부(502)이라고 하면, 입력신호들 InA, InAb, InB, InBb는 각각 K1, K1B, K3, K3B가 되고, 선택신호들 (SelA, SelAb, SelB, SelBb)은 선택부(503, 도 5)에서 발생하는 선택신호들(S3, S3B, S4, S4B)이다.

<45> 제1 믹서부(404)에서, 제1 위상믹스부(501)는 선택신호(SelA)에 응답하여 K2 위상신호를 출력하고 제2 위상믹스부(502)는 선택신호(SelA)에 응답하여 K1 위상신호를 출력한다. 그러므로, 제1 믹서부(404)의 출력 신호인 제1 클럭신호(CLK0)는 K2 위상신호와 K1 위상신호 사이에 있게 된다. 이와 같은 방법으로, 제2 믹서부(405)에서, 제1 위상믹스부(501)는 선택신호(SelBb)에 응답하여 K4B 위상신호를 출력하고 제2 위상믹스부(502)에서는 선택신호(SelBb)에 응답하여 K3B 위상신호를 출력한다. 그러므로, 제2 믹서부(405)의 출력 신호인 제2 클럭신호(CLK90)는 K4B 위상신호와 K3B 위상신호 사이에 있게 된다. 따라서, 제1 믹서부(404) 및 제2 믹서부(405)에서 발생하는 제1 클럭신호(CLK0)의 위상과 제2 클럭신호(CLK90)의 위상 차이는  $90^\circ$ 가 된다.

<46> 이와 같은 본 실시예의 자연동기회로에서는 내부적으로 제1 클럭신호(CLK0)와 제2 클럭신호(CLK90)의 위상차를 정확히  $90^\circ$ 로 만들고, 이들로부터 최종적으로 발생하는 제1 내부클럭신호(TCK)와 제2 내부클럭신호(TCLK90)의 위상차를  $90^\circ$ 로 만든다. 그리하여 제2 내부클럭신호(TCLK90)의 위상차를 외부클럭신호(EXT\_CLK)의 위상과 비교하여 그 결과로 제1 내부클럭신호(TCLK)의 위상을 조절하게 된다. 그리하여 제1 내부클럭신호(TCLK)는 외부클럭신호(EXT\_CLK)와 정확히 동기된다.

<47> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<48> 상술한 본 발명의 지연동기회로는 듀티정정부들에 의해 제1 내부클럭신호와 제2 내부클럭신호의 듀티를 각각 정정하여 듀티 50%를 만족시킨다. 그리고, 제1 믹서부와 제2 믹서부에 의하여 제1 내부클럭신호와 제2 내부클럭신호의 위상차가 정확히  $90^\circ$ 가 되게 한다. 그리하여 외부클럭신호에 동기되는 제1 내부클럭신호가 만들어 진다.

**【특허청구범위】****【청구항 1】**

외부클럭신호를 수신하여 이로부터 소정의 위상이 쉬프트된 다수개의 기준클럭신호들을 발생하는 기준클럭 발생부;

상기 기준클럭신호들을 수신하여 제1 클럭신호 및 상기 제1 클럭신호에 대하여 90° 위상차를 갖는 제2 클럭신호를 발생하는 믹서부;

상기 제1 클럭신호를 수신하여 제1 내부클럭신호를 발생하고, 상기 제2 클럭신호를 수신하여 제2 내부클럭신호를 발생하는 클럭버퍼부;

상기 제1 내부클럭신호의 듀티를 정정하여 상기 클럭버퍼부로 궤환하는 제1 듀티 정정부;

상기 제2 내부클럭신호의 듀티를 정정하여 상기 클럭버퍼부로 궤환하는 제2 듀티 정정부;

상기 외부클럭신호의 위상과 상기 제2 내부클럭신호의 위상을 비교 검출하는 위상 검출기; 및

상기 위상검출기의 출력에 응답하여 상기 믹서부에서 발생하는 상기 제1 클럭신호와 상기 제2 클럭신호의 위상 범위를 제어하는 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 지연동기회로.

**【청구항 2】**

제1항에 있어서, 상기 기준클럭 발생부는

상기 외부클럭신호로부터  $45^\circ$ 씩 쉬프트된 8개의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

【청구항 3】

제1항에 있어서, 상기 기준클럭 발생부는

$360^\circ$  위상에서 상기 소정의 위상을 나눈 값에 해당하는 개수의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

【청구항 4】

제1항에 있어서, 상기 제1 및 제2 듀티정정부들은

상기 제1 클럭신호 및 상기 제2 클럭신호의 듀티를 각각 50%로 유지시키는 것을 특징으로 하는 지연동기회로.

【청구항 5】

외부클럭신호를 수신하여 작은 스윙폭의 클럭신호로 변환하는 제1 증폭기;

상기 작은 스윙폭 클럭신호의 듀티를 정정하여 상기 제1 증폭기로 변환하는 제1 듀티정정부;

상기 작은 스윙폭 클럭신호를 수신하여 이로부터 소정의 위상이 쉬프트된 다수개의 기준클럭신호들을 발생하는 기준클럭 발생부;

상기 기준클럭신호들을 수신하여 제1 클럭신호 및 상기 제1 클럭신호에 대하여  $90^\circ$  위상차를 갖는 제2 클럭신호를 발생하는 믹서부;

상기 제1 클럭신호가 갖는 상기 작은 스윙폭을 CMOS 스윙폭으로 증폭하는 제2 증폭기;

상기 제2 클럭신호가 갖는 상기 작은 스윙폭을 CMOS 스윙폭으로 증폭하는 제3 증폭기;

상기 제2 증폭기의 출력을 수신하여 제1 내부클럭신호를 발생하고, 상기 제3 증폭기의 출력을 수신하여 제2 내부클럭신호를 발생하는 클럭버퍼부;

상기 제1 내부클럭신호의 듀티를 정정하여 상기 제2 증폭기로 궤환하는 제2 듀티 정정부;

상기 제2 내부클럭신호의 듀티를 정정하여 상기 제3 증폭기로 궤환하는 제3 듀티 정정부;

상기 제1 내부클럭신호의 출력부를 고려하여 상기 제2 내부클럭신호에 반영하는 출력복사부;

상기 외부클럭신호의 위상과 상기 제2 내부클럭신호의 위상을 비교 검출하는 위상 검출기; 및

상기 위상검출기의 출력에 응답하여 상기 믹스부에서 발생하는 상기 제1 클럭신호와 상기 제2 클럭신호의 위상 범위를 제어하는 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 지연동기회로.

#### 【청구항 6】

제5항에 있어서, 상기 기준클럭 발생부는

상기 외부클럭신호로부터 45°씩 쉬프트된 8개의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

**【청구항 7】**

제5항에 있어서, 상기 기준클럭 발생부는

360° 위상에서 상기 소정의 위상을 나눈 값에 해당하는 개수의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

**【청구항 8】**

제5항에 있어서, 상기 제2 및 제3 듀티정정부들은

상기 제1 내부 클럭신호 및 상기 제2 내부 클럭신호의 듀티를 각각 50%로 유지시키는 것을 특징으로 하는 지연동기회로.

**【청구항 9】**

외부클럭신호를 수신하여 이로부터 소정의 위상이 쉬프트된 다수개의 기준클럭신호들을 발생하는 기준클럭 발생부;

상기 기준클럭신호들을 수신하여 제1 클럭신호를 발생하는 제1 믹서부;

상기 기준클럭신호들을 수신하여 상기 제1 클럭신호에 대하여 90° 위상차를 갖는 제2 클럭신호를 발생하는 제2 믹서부;

상기 제1 클럭신호를 수신하여 제1 내부클럭신호를 발생하고, 상기 제2 클럭신호를 수신하여 상기 내부클럭신호의 라인 부하를 고려하여 제2 내부클럭신호를 발생하는 클럭버퍼부;

상기 외부클럭신호의 위상과 상기 제2 내부클럭신호의 위상을 비교 검출하는 위상 검출기; 및

상기 위상검출기의 출력에 응답하여 상기 제1 믹서부 및 상기 제2 믹서부에서 각각

발생되는 상기 제1 클럭신호와 상기 제2 클럭신호의 위상 범위를 제어하는 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 지연동기회로.

【청구항 10】

제9항에 있어서, 상기 기준클럭 발생부는

상기 외부클럭신호로부터 45°씩 쉬프된 8개의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

【청구항 11】

제10항에 있어서, 상기 제1 및 제2 클럭신호의 위상범위는

8개의 옥탄트로 구성되는 위상범위인 것을 특징으로 하는 지연동기회로.

【청구항 12】

제9항에 있어서, 상기 기준클럭 발생부는

360°위상에서 상기 소정의 위상을 나눈 값에 해당하는 개수의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

【청구항 13】

제9항에 있어서, 상기 제1 및 제2 믹서부는

상기 디지털-아날로그 변환기의 출력에 응답하여 선택신호들을 발생하는 선택부;

상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제1 클럭신호의 위상 범위로 정하는 제1 위상믹스부; 및

상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제

2 클럭신호의 위상 범위로 정하는 제2 위상믹스부를 구비하는 것을 특징으로 하는 지연 동기회로.

【청구항 14】

제13항에 있어서, 상기 제1 및 제2 위상믹스부 각각은

상기 기준클럭신호와 그 반전신호를 쌍으로 입력으로 하고 상기 선택신호에 의하여 인에이블되는 차동증폭기들을 구비하는 것을 특징으로 하는 지연동기회로.

【청구항 15】

외부클럭신호를 수신하여 이로부터 소정의 위상이 쉬프트된 다수개의 기준클럭신호들을 발생하는 기준클럭 발생부;

상기 기준클럭신호들을 수신하여 제1 클럭신호를 발생하는 제1 믹서부;

상기 기준클럭신호들을 수신하여 상기 제1 클럭신호에 대하여  $90^\circ$  위상차를 갖는 제2 클럭신호를 발생하는 제2 믹서부;

상기 제1 클럭신호를 수신하여 제1 내부클럭신호를 발생하고, 상기 제2 클럭신호를 수신하여 상기 내부클럭신호의 라인 부하를 고려하여 제2 내부클럭신호를 발생하는 클럭 버퍼부;

상기 제1 내부클럭신호의 듀티를 정정하여 상기 제2 증폭기로 궤환하는 제1 듀티 정정부;

상기 제2 내부클럭신호의 듀티를 정정하여 상기 제3 증폭기로 궤환하는 제2 듀티정정부;



상기 외부클럭신호의 위상과 상기 제2 내부클럭신호의 위상을 비교 검출하는 위상 검출기; 및

상기 위상검출기의 출력에 응답하여 상기 제1 믹스부 및 상기 제2 믹스부에서 각각 발생하는 상기 제1 클럭신호와 상기 제2 클럭신호의 위상 범위를 제어하는 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 지연동기회로.

**【청구항 16】**

제15항에 있어서, 상기 기준클럭 발생부는

상기 외부클럭신호로부터 45°씩 쉬프된 8개의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

**【청구항 17】**

제16항에 있어서, 상기 제1 및 제2 클럭신호의 위상범위는

8개의 옥탄트로 구성되는 위상범위인 것을 특징으로 하는 지연동기회로.

**【청구항 18】**

제15항에 있어서, 상기 기준클럭 발생부는

360°위상에서 상기 소정의 위상을 나눈 값에 해당하는 개수의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

**【청구항 19】**

제15항에 있어서, 상기 제1 및 제2 믹서부는

상기 디지털-아날로그 변환기의 출력에 응답하여 선택신호들을 발생하는 선택부;

상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제1 클럭신호의 위상 범위로 정하는 제1 위상믹스부; 및

상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제2 클럭신호의 위상 범위로 정하는 제2 위상믹스부를 구비하는 것을 특징으로 하는 지연 동기회로.

**【청구항 20】**

제19항에 있어서, 상기 제1 및 제2 위상믹스부 각각은

상기 기준클럭신호와 그 반전신호를 쌍으로 입력으로 하고 상기 선택신호에 의하여 인에이블되는 차동증폭기들을 구비하는 것을 특징으로 하는 지연동기회로.

**【청구항 21】**

제15항에 있어서, 상기 제1 및 제2 듀티정정부들은

상기 제1 내부 클럭신호 및 상기 제2 내부 클럭신호의 듀티를 각각 50%로 유지시키는 것을 특징으로 하는 지연동기회로.

**【청구항 22】**

제15항에 있어서, 상기 클럭버퍼부는

상기 제1 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제2 듀티정정부와 연결되는 제1 경로;

상기 제1 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제1 내부클럭신호로 발생하는 제2 경로;

상기 제2 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제2 내부클럭신호로 발생하는 제3 경로; 및

상기 제2 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제3 듀티정정부와 연결되는 제4 경로를 구비하는 것을 특징으로 하는 지연동기회로.

【청구항 23】

외부클럭신호에 동기되는 내부클럭신호를 발생하는 지연동기회로에 있어서,

상기 외부클럭신호를 수신하여 작은 스윙폭의 클럭신호로 변환하는 제1 증폭기;

상기 작은 스윙폭 클럭신호의 듀티를 정정하여 상기 제1 증폭기로 변환하는 제1 듀티정정부;

상기 작은 스윙폭 클럭신호를 수신하여 이로부터 소정의 위상이 쉬프트된 다수개의 기준클럭신호들을 발생시키는 기준클럭 발생부;

상기 기준클럭신호들을 수신하여 제1 클럭신호를 발생하는 제1 믹서부;

상기 기준클럭신호들을 수신하여 상기 제1 클럭신호에 대하여  $90^\circ$  위상차를 갖는 제2 클럭신호를 발생하는 제2 믹서부;

상기 제1 클럭신호가 갖는 상기 작은 스윙폭을 CMOS 스윙폭으로 증폭하는 제2 증폭기;

상기 제2 클럭신호가 갖는 상기 작은 스윙폭을 CMOS 스윙폭으로 증폭하는 제3 증폭기;

상기 제2 증폭기의 출력을 수신하여 제1 내부클럭신호를 발생하고, 상기 제3 증폭기의 출력을 수신하여 제2 내부클럭신호를 발생하는 클럭버퍼부;

상기 제1 내부클럭신호의 듀티를 정정하여 상기 제2 증폭기로 궤환하는 제2 듀티정정부;

상기 제2 내부클럭신호의 듀티를 정정하여 상기 제3 증폭기로 궤환하는 제3 듀티정정부;

상기 제1 내부클럭신호의 라인 부하를 고려하여 상기 제2 내부클럭신호에 반영하는 출력복사부;

상기 외부클럭신호의 위상과 상기 제2 내부클럭신호의 위상을 비교 검출하는 위상검출기; 및

상기 위상검출기의 출력에 응답하여 상기 제1 믹스부 및 상기 제2 믹스부에서 각각 발생하는 상기 제1 클럭신호와 상기 제2 클럭신호의 위상 범위를 제어하는 디지털-아날로그 변환기를 구비하는 것을 특징으로 하는 지연동기회로.

#### 【청구항 24】

제23항에 있어서, 상기 기준클럭 발생부는

상기 외부클럭신호로부터 45°씩 쉬프된 8개의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

#### 【청구항 25】

제24항에 있어서, 상기 제1 및 제2 클럭신호의 위상범위는

8개의 옥탄트로 구성되는 위상범위인 것을 특징으로 하는 지연동기회로.

**【청구항 26】**

제25항에 있어서, 상기 기준클럭 발생부는

360° 위상에서 상기 소정의 위상을 나눈 값에 해당하는 개수의 상기 기준클럭신호들을 발생하는 것을 특징으로 하는 지연동기회로.

**【청구항 27】**

제25항에 있어서, 상기 제1 및 제2 믹서부는

상기 디지털-아날로그 변환기의 출력에 응답하여 선택신호들을 발생하는 선택부;

상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제1 클럭신호의 위상 범위로 정하는 제1 위상믹스부; 및

상기 선택신호들에 응답하여 상기 기준클럭신호들의 위상 범위를 선택하여 상기 제2 클럭신호의 위상 범위로 정하는 제2 위상믹스부를 구비하는 것을 특징으로 하는 지연 동기회로.

**【청구항 28】**

제27항에 있어서, 상기 제1 및 제2 위상믹스부 각각은

상기 기준클럭신호와 그 반전신호를 쌍으로 입력으로 하고 상기 선택신호에 의하여 인에이블되는 차동증폭기들을 구비하는 것을 특징으로 하는 지연동기회로.

**【청구항 29】**

제25항에 있어서, 상기 제2 및 제3 듀티정정부들은

상기 제1 내부 클럭신호 및 상기 제2 내부 클럭신호의 듀티를 각각 50%로 유지시키는 것을 특징으로 하는 지연동기회로.

**【청구항 30】**

제25에 있어서, 상기 클럭버퍼부는

상기 제1 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제2 듀티정정부와 연결되는 제1 경로;

상기 제1 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제1 내부클럭신호로 발생하는 제2 경로;

상기 제2 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제2 내부클럭신호로 발생하는 제3 경로; 및

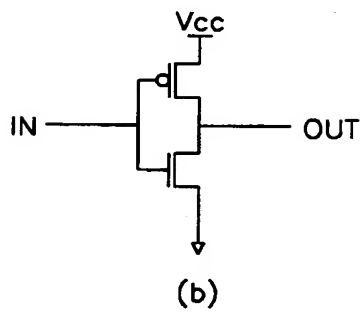
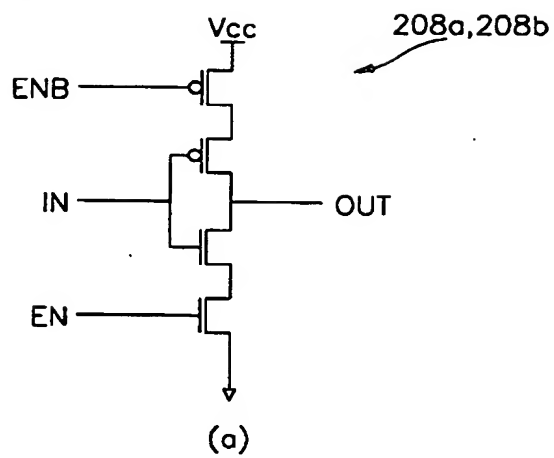
상기 제2 클럭신호를 수신하는 다수개의 인버터 체인으로 구성되어 그 출력이 상기 제3 듀티정정부와 연결되는 제4 경로를 구비하는 것을 특징으로 하는 지연동기회로.



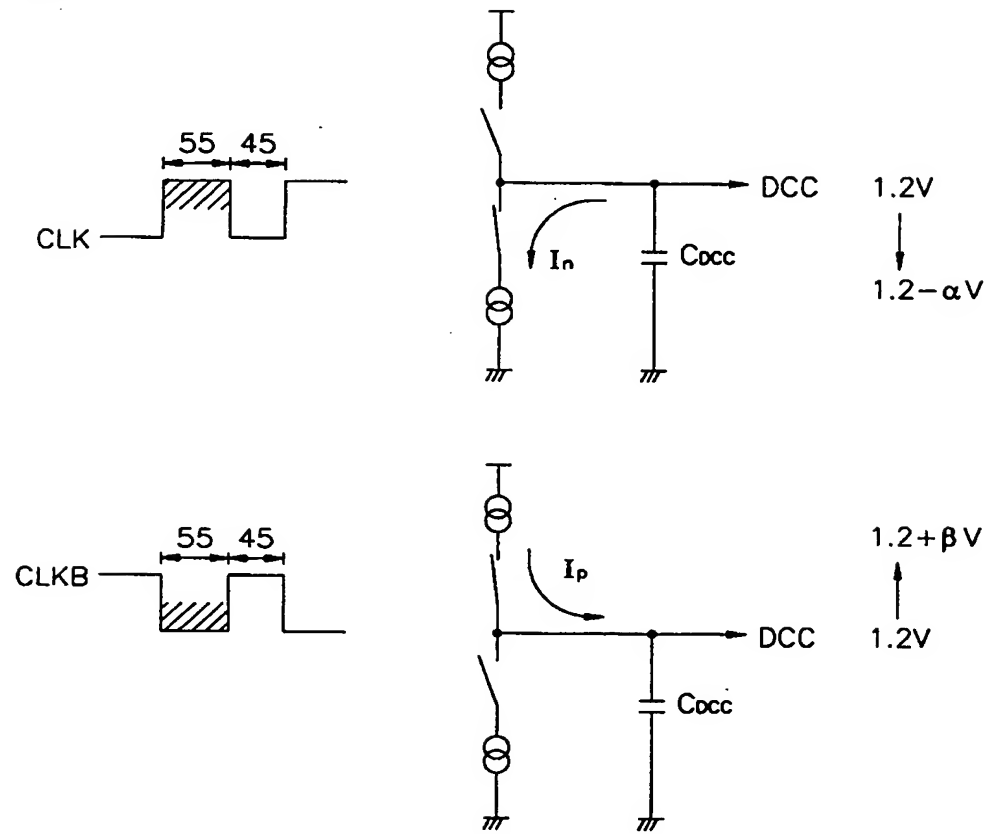




【도 3】

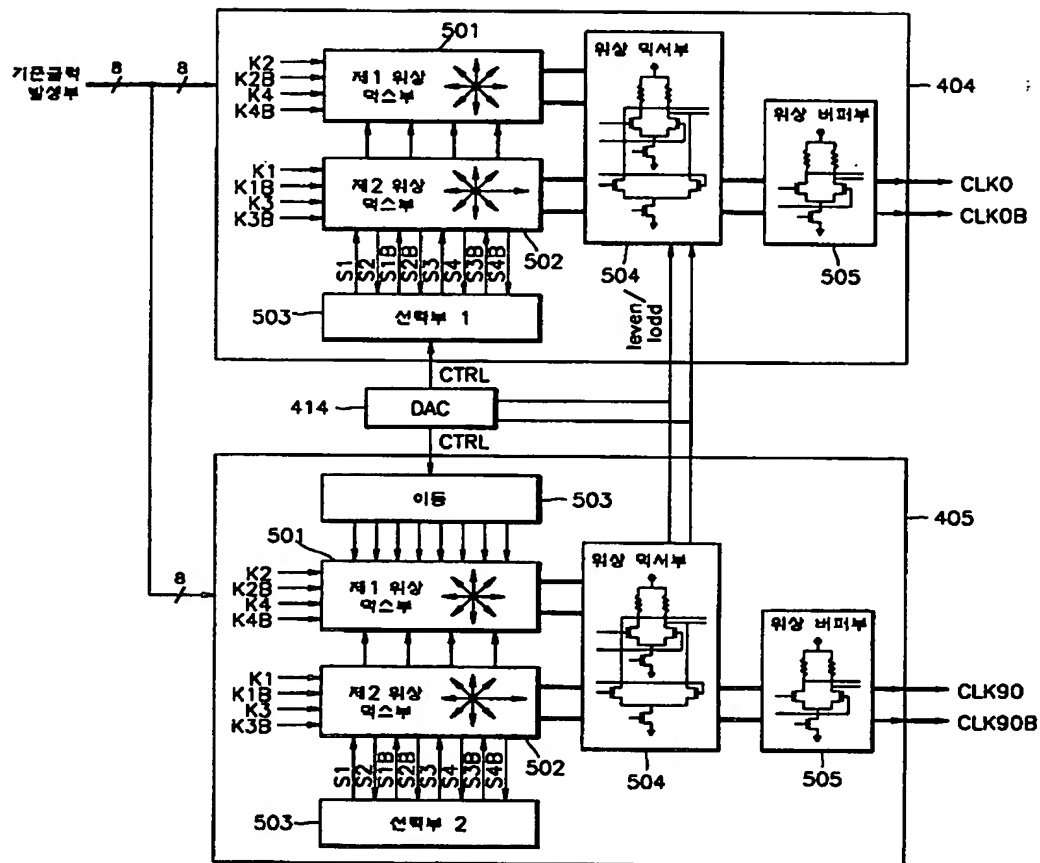


【도 4】

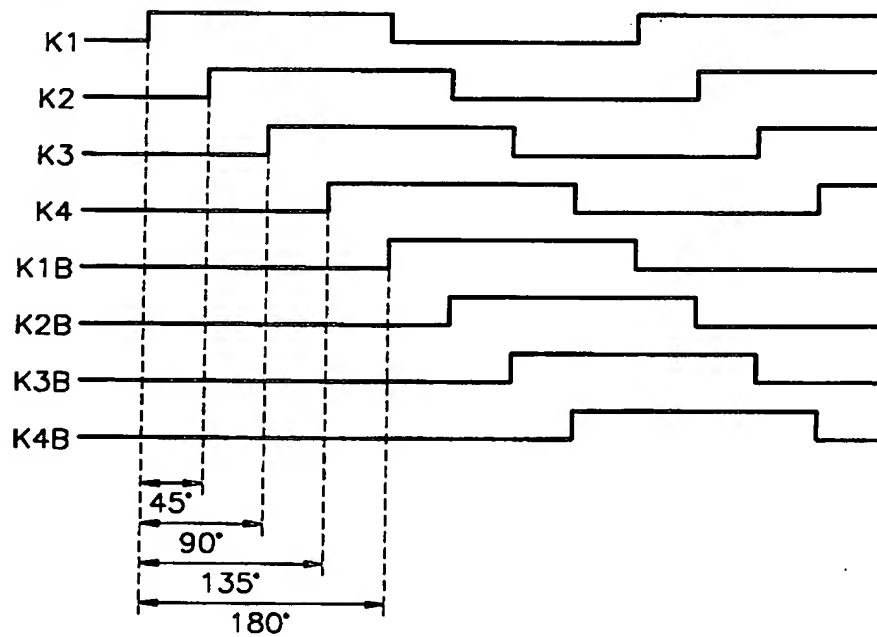




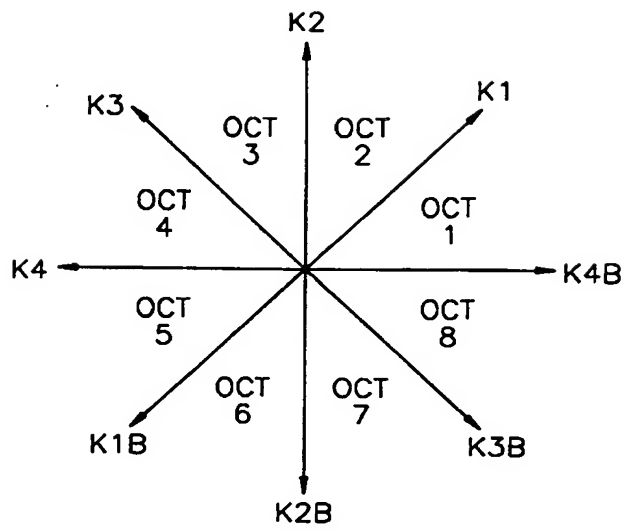
【도 6】



【도 7】



【도 8】



( 8개 위상 분포도 )

【图 9】

